

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Joon-hyun YANG

Application No.: To be assigned

Group Art Unit: Unassigned

Filed: April 19, 2004

Examiner: Unassigned

For: SINGLE-SIDED DRIVER USED WITH A DISPLAY PANEL AND A METHOD OF
DESIGNING THE SAME

SUBMISSION OF CERTIFICATED COPY OF PRIOR FOREIGN APPLICATION
IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F. R. § 1.55

Assistant Commissioner for Patents
Alexandria, VA 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith
a certified copy of the following foreign application:

Korean Patent Application Nos.: 2003-40099

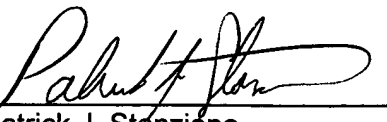
Filed: June 20, 2003

It is respectively requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. §119.

Respectfully submitted,

STANZIONE & KIM, LLP

Dated: APRIL 19, 2004
1740 N Street, N.W., First Floor
Washington, D.C. 20036
Telephone: (202) 775-1900
Facsimile: (202) 775-1901

By: 
Patrick J. Stanzone
Registration No. 40434



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0040099
Application Number

출원년월일 : 2003년 06월 20일
Date of Application JUN 20, 2003

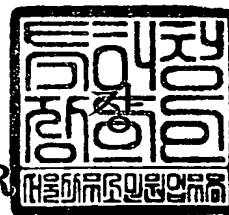
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 10 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2003.06.20
【국제특허분류】	G09G
【발명의 명칭】	디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 및 그 설계 방법
【발명의 영문명칭】	Apparatus for driving panel using one side driving circuit in display panel system and design method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	양준현
【성명의 영문표기】	YANG, Joon Hyun
【주민등록번호】	670816-1148417
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 840-4
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)



1020030040099

출력 일자: 2004/2/17

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 26 면 26,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 16 항 621,000 원

【합계】 676,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 디스플레이 패널 구동 장치 및 그 설계 방법에 관한 것으로서, 특히 단일 사이트의 패널 구동 회로로 디스플레이 패널 X, Y 양쪽 사이트에서 필요로 하는 구동 전압을 독립적으로 생성시키는 디스플레이 패널 구동 시스템의 단일 사이트 구동 장치 및 그 설계 방법에 관한 것이다.

본 발명에 의한 디스플레이 패널 구동 시스템의 단일 사이트 구동 장치는 디스플레이 패널 구동 장치에 있어서, 화상을 표현하는 디스플레이 패널 및 에너지 축적 소자 및 스위칭 소자를 포함하는 소정의 수동 회로 소자들로 구성되어, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형을 생성시키기 위한 전류 도통 경로를 형성시키는 단일 사이트의 구동 회로를 포함함을 특징으로 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 및 그 설계 방법{Apparatus for driving panel using one side driving circuit in display panel system and design method thereof}

【도면의 간단한 설명】

도 1은 종래의 기술에 의한 플라즈마 디스플레이 패널 구동 시스템의 구성도이다.

도 2는 일반적인 플라즈마 디스플레이 패널 구동 시스템에서 요구되는 리세트, 어드레스, 서스테인 구간별 패널의 X전극, Y전극 및 어드레스 전극의 전압 파형도이다.

도 3은 본 발명에 의한 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치의 구성도이다.

도 4는 본 발명에 의한 디스플레이 패널 구동 스위칭 시퀀스에 따른 주요 전압/전류 파형도를 도시한 것이다.

도 5a~도 5h는 도 3의 회로에서의 디스플레이 구동 스위칭 시퀀스에 따른 서스테인 방전 기간의 모드 1~모드 8 각각의 전류 도통 경로를 도시한 것이다.

도 6은 본 발명에 따른 서스테인 방전 기간에서의 스캔 드라이버 IC에 걸리는 전압 스트레스를 설명하기 위한 전류 도통 경로를 도시한 것이다.

도 7a는 본 발명에 따른 X-rising 리세트 모드에서의 전류 도통 경로를 도시한 것이다.

도 7b는 본 발명에 따른 Y-rising 리세트 모드에서의 전류 도통 경로를 도시한 것이다.

도 7c는 본 발명에 따른 X-erase 리세트 모드에서의 전류 도통 경로를 도시한 것이다.

도 7d는 본 발명에 따른 Y-falling 리세트 모드에서의 전류 도통 경로를 도시한 것이다.

도 8은 본 발명에 따른 어드레스 방전 기간의 전류 도통 경로를 도시한 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 디스플레이 패널 구동 장치 및 그 설계 방법에 관한 것으로서, 특히 단일 사이드의 패널 구동 회로로 디스플레이 패널 X, Y 양쪽 사이드에서 필요로 하는 구동 전압을 독립적으로 생성시키는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 및 그 설계 방법에 관한 것이다.
- <13> 일반적으로 플라즈마 디스플레이 패널(Plasma Display Panel ; PDP)은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 차세대 평판 디스플레이 장치로서, 플라즈마 디스플레이 패널은 크기에 따라 수십에서 수백만개 이상의 픽셀이 매트릭스(matrix) 형태로 배열되어 있다.
- <14> 도 1은 종래 기술에 해당되는 Webber에 의해 제안된 AC-PDP 유지 방전 회로의 구성도이다. AC-PDP의 경우 디스플레이 패널은 패널 커패시턴스(capacitance) C_p 를 가지는 부하로 가정할 수 있다. PDP 구동 회로의 기본적인 동작은 미국 특허 공보번호 US4,866,349에 설명되어 있다.
- <15> 플라즈마 디스플레이 패널의 구동 시퀀스는 리세트 기간, 어드레스 방전 기간 및 서스테인 방전 기간으로 구분된다. 리세트 기간은 모든 셀들을 방전시킴과 동시에 벽 전하(wall charge)를 소거함으로써 표시 이력을 소거하는 구간이며, 어드레스 방전 기간은 패널의 행/열

전극의 조합에 의하여 매트릭스 구성에 의하여 방전 셀을 선택하여 어드레스 방전을 형성시키는 구간이며, 서스테인 방전 구간은 어드레스 방전에 의해 벽 전하를 형성하고 있는 셀에서만 유지 방전 및 전력 회수를 반복하여 실행하면서 화상을 표시하는 구간이다.

<16> 종래의 기술에 의하면, 플라즈마 디스플레이 패널의 화상 구현을 위해 ADS(Address Display Separation) 방식에 근거하여 스위칭 동작이 결정된다. 도 1의 스위치 Y_s , Y_g , X_s , X_g 는 플라즈마 디스플레이 패널의 발광 기간(Sustain period)동안 패널에 고주파의 교류 구형파 전압(high-frequency AC pulsed-voltage)을 인가하기 위한 서스테인(sustain) 스위치이고, 발광 기간동안(Y_s , X_g), (X_s , Y_g)의 쌍으로 교대로 도통/차단을 반복하게 된다. 스위치 Y_r , Y_f , X_r , X_f 는 발광기간 동안 패널 전압 및 커패시터 무효 전류(capacitive displacement current)의 급격한 변화를 막아 소비전력을 억제하기 위한 전력 회수 회로의 스위치이다. LY , LX 는 전력 회수를 위한 인덕터이고, 커패시터 C_{Yerc} , C_{Xerc} , 다이오드 D_{Yr} , D_{Xf} , D_{Xr} , D_{Xf} , D_{YVsC} , D_{YGC} 는 웨버(Webber) 등에 의해 제안된 기존의 전력 회수 회로에 필요한 요소들이다. 통상 서스테인 스위치, 전력 회수 스위치, 그리고 수동 소자들이 형성하는 회로망을 통틀어 서스테인 구동 회로라 하고, ADS 방식에 근거하면 서스테인 구동 회로는 플라즈마 디스플레이 패널의 서스테인 구간 동안 작용한다. 스위치 Y_p 는 ADS방식에서 PDP의 서스테인 방전 구간과 다른 구간(어드레스 구간과 리세트 구간)의 회로 동작 분리를 위한 스위치이며, 스위치 Y_{rr} , Y_{fr} , X_{rr} 은 리세트 구간동안 패널에 램프형 고압 전압을 인가하기 위한 스위치이며, C_{set} , C_{Xsink} 의 커패시터와 같이 작용하여 전원전압보다 높은 고압 전압을 리세트 구간동안 인가한다. 스위치 Y_{sc} , Y_{sp} 는 ADS 방식에서 어드레스 구간동안 작동하는 스위치로, 어드레스 구간에서 Y_{sp} 는 도통, Y_{sc} 는 차단, 다른 구간(리세트, 서스테인 구간)에서 Y_{sp} 는 차단, Y_{sc} 는 도통된다. 어드레스 구간동안 쉬프트 레지스터 +전압 버퍼로 구성된 스캔 드라이버 IC(100)가



PDP 스크린의 수평 동기신호 인가를 위한 동작을 하고, 다른 구간에서는 단락된다. 스위칭 순서에 의한 기존 PDP 구동 회로의 구체적인 동작은 미국 특허 공보번호 US4,866,349에 설명되어 있다.

<17> 그런데, 도 1에 도시된 바와 같이 종래의 기술에 의한 플라즈마 디스플레이 패널 구동 시스템은 플라즈마 디스플레이 패널 X,Y 전극 양 사이트에 각각 별도의 패널 구동 회로를 사용하여야 한다. 이에 따라서, 부품수가 증가되어 자재비가 증가되는 문제점 및 제품의 사이즈가 증가되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하기 위하여 단일 사이트의 패널 구동 회로로 디스플레이 패널 X전극 및 Y 전극 양쪽 사이트에서 필요로 하는 구동 전압을 독립적으로 생성시키기 위한 디스플레이 패널 구동 시스템의 단일 사이트 구동 장치 및 그 설계 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제를 달성하기 위하여 본 발명에 의한 디스플레이 패널 구동 시스템의 단일 사이트 구동 장치는 디스플레이 패널 구동 장치에 있어서, 화상을 표현하는 디스플레이 패널 및 에너지 축적 소자 및 스위칭 소자를 포함하는 소정의 수동 회로 소자들로 구성되어, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형을 생성시키기 위한 전류 도통 경로를 형성시키는 단일 사이트의 구동 회로를 포함함을 특징으로 한다.

- <20> 위의 단일 사이드의 구동 회로는 서스테인 방전 구간에서 상기 디스플레이 패널의 X전극 및 Y전극 양단 간에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압들이 반복적으로 인가되도록 회로를 설계하는 것이 효과적이다.
- <21> 위의 단일 사이드의 구동 회로는 리세트 구간 동안 전력 회수 경로와 차단시키면서 상기 디스플레이 패널에 벽전하 소거를 위한 X전극 및 Y전극 각각의 리세트 램프 전압 파형들을 생성시키기 위한 전류 도통 경로를 형성시키는 분리 및 리세트 회로, 어드레스 구간 동안에 상기 디스플레이 패널에 벽전하를 형성시키기 위한 X전극 및 Y전극의 전압 파형들을 생성시키기 위한 전류 도통 경로를 형성시키는 스캔 펄스 발생회로 및 서스테인 방전 구간 동안에 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널을 충/방전시키기 위한 충/방전 경로를 형성시키고, 리세트 구간 및 어드레스 방전 구간 동안에 상기 리세트 회로 및 상기 스캔 펄스 발생 회로와 결합되어 리세트 전압 파형 및 어드레스 방전 전압 파형이 생성되도록 소정의 전류 도통 경로를 형성시키는 서스테인 구동 회로로 구성하는 것이 효과적이다.
- <22> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 의한 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 설계 방법은 디스플레이 패널 구동 장치 설계 방법에 있어서, 에너지 축적 소자 및 스위칭 소자를 포함하는 소정의 수동 회로 소자들로 단일 사이드의 구동 회로를 구성하여, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형을 독립적으로 생성시키기 위한 전류 도통 경로를 형성시키도록 상기 소정의 수동 회로 소자들을 배치함을 특징으로 한다.
- <23> 위의 디스플레이 패널 구동 스위칭 시퀀스의 서스테인 방전 구간 동안에 상기 디스플레이 패널에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압이 인가되도록 상기 소정의 수동 회로 소자들을 배치하는 것이 효과적이다.

- <24> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세히 설명하기로 한다.
- <25> 도 3에 본 발명에 의한 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치를 도시하였다.
- <26> 위의 회로 구성 중에서 커패시터 C_{X1} , C_{X2} , C_{Y1} , C_{Y2} 및 MOSFET 스위치 X_r , X_f , Y_r , Y_f , 인덕터 L_1 , L_2 및 다이오드 $D_1 \sim D_4$ 들로 구성된 회로를 전력 회수 회로라 칭한다. 여기에서, 다이오드 $D_1 \sim D_4$ 는 각 MOSFET 스위치의 바디 다이오드(Body diode)를 통한 역전류를 방지하는 역할을 한다. 전력 회수 동작은 인덕터 L_1 또는 L_2 와 디스플레이 패널의 커패시터 C_p 의 직렬 공진에 의하여 패널의 충/방전 기간동안에 이루어진다.
- <27> 그리고, MOSFET 스위치 X_L, X_H, Y_L, Y_H 들로 구성된 회로를 일명 서스테인 스위칭 회로라 칭한다.
- <28> 본 발명에서는 전력 회수 회로, 서스테인 스위칭 회로 및 입력 커패시터 C_{STG} 를 포함하는 회로를 서스테인 구동 회로라 칭한다.
- <29> 다음으로, MOSFET 스위치 Y_p 와 다이오드 D_Y 는 리세트 구간 동안에 생성되는 램프 전압을 전력 회수 회로와 차단시키는 역할을 함으로 편의상 분리 회로라 칭한다.
- <30> 그리고, MOSFET 스위치 Y_{ff} , Y_{fr} , X_e 및 다이오드 D_5 를 포함하는 회로를 리세트 회로라 칭한다.
- <31> 마지막으로, 스캔 드라이버 IC와 MOSFET 스위치 Y_{SP} , Y_{SC} 를 포함하는 회로를 스캔 펄스 발생 회로라 칭한다.
- <32> 본 발명에 의한 도 3의 회로 설계의 특징은 다음과 같다.

- <33> 1. 위의 서스테인 구동 회로는 서스테인 방전 구간에서 디스플레이 패널(C_p)의 X전극 및 Y전극 양단 간에 0V 포함하여 0V를 기준으로 대칭되는 $+V_S$ 및 $-V_S$ 전압이 반복적으로 인가되도록 전류 도통 경로를 형성시킨다.
- <34> 2. 본 발명에 의한 단일 사이드의 구동 회로에 공급되는 전원은 서스테인 방전 구간의 가스 방전 모드 동안에 상기 디스플레이 패널에 인가되는 전압(V_S)의 2배인 $2V_S$ 로 설계한다.
- <35> 3. 본 발명에 의한 단일 사이드의 구동 회로는 구체적으로 리세트 구간 동안 전력 회수 경로와 차단시키면서 상기 디스플레이 패널에 벽전하 소거를 위한 X전극 및 Y전극 각각의 리세트 램프 전압 파형들을 생성시키기 위한 전류 도통 경로를 형성시키는 분리 및 리세트 회로, 어드레스 구간 동안에 상기 디스플레이 패널에 벽전하를 형성시키기 위한 X전극 및 Y전극의 전압 파형들을 생성시키기 위한 전류 도통 경로를 형성시키는 스캔 펄스 발생회로 및 서스테인 방전 구간 동안에 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널을 충/방전시키기 위한 충/방전 경로를 형성시키고, 리세트 구간 및 어드레스 방전 구간 동안에 상기 리세트 회로 및 상기 스캔 펄스 발생 회로와 결합되어 리세트 전압 파형 및 어드레스 방전 전압 파형이 생성되도록 소정의 전류 도통 경로를 형성시키는 서스테인 구동 회로로 구성된다.
- <36> 4. 본 발명에 적용되는 서스테인 구동 회로는 상기 충/방전 경로에 상기 디스플레이 패널의 커패시턴스보다 큰 용량을 갖는 입력 커패시터(C_{STG})를 포함한다. 이 입력 커패시터(C_{STG})는 서스테인 구간 실행 전에 서스테인 방전 구간의 가스 방전 모드 동안에 상기 디스플레이 패널에 인가되는 전압(V_S)으로 충전되도록 설계한다.

<37> 5. 본 발명에 적용되는 서스테인 구동 회로는 커패시터 클램프형 멀티 레벨 컨버팅 회로 구조로 설계한다. 커패시터 클램프형 멀티 레벨 컨버팅 회로 구조는 세부적으로 복수개의 커패시터를 직렬로 접속시키고, 상기 직렬 접속된 양 끝의 커패시터 단자에 접지선 및 서스테인 구동 회로의 공급 전원을 연결시키고, 상기 복수의 커패시터들의 접속 노드에 스위칭 회로 소자들이 연결되어, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 전류 도통 경로를 변경시켜 서스테인 방전 구간동안에 상기 디스플레이 패널에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압들을 반복적으로 인가되도록 설계하는 것이 효과적이다.

<38> 6. 본 발명에 적용되는 서스테인 구동 회로는 세부적으로 제1,2,3,4커패시터($C_{X1}, C_{X2}, C_{Y1}, C_{Y2}$)를 순차적으로 직렬로 접속시키고, 제1커패시터(C_{X1}) 및 제4커패시터(C_{Y2})의 양 끝 단자에 각각 접지선 및 서스테인 공급 전원이 인가되는 에너지 축적 소자 블록, 상기 에너지 축적 소자 블록과 결합되어, 상기 디스플레이 패널의 X전극 및 Y전극 방전에서 방전되는 에너지를 축적시키는 제1,2인덕터(L_1, L_2), 상기 제1,2커패시터(C_{X1}, C_{X2})가 접속된 노드와 제2인덕터(L_2) 사이에 연결되어, 상기 디스플레이 패널의 X전극 충/방전 모드에서 제2인덕터(L_2)를 경유하는 LC공진 경로가 형성되도록 전류의 흐름을 스위칭하는 복수의 스위칭 소자(X_r, X_f) 및 복수의 다이오드(D_3, D_4)로 구성된 제1스위칭 블록, 상기 제3,4커패시터(C_{Y1}, C_{Y2})가 접속된 노드와 제1인덕터(L_1) 사이에 연결되어, 상기 디스플레이 패널의 Y전극 충/방전 모드에서 제1인덕터(L_1)를 경유하는 LC공진 경로가 형성되도록 전류의 흐름을 스위칭하는 복수의 스위칭 소자(Y_r, Y_f) 및 복수의 다이오드(D_1, D_2)로 구성된 제2스위칭 블록, 제1,2스위칭 소자(X_L, X_H) 및 제3,4스위칭 소자(Y_L, Y_H)를 각각 순차적으로 직렬로 접속시키고, 상기 제2스위칭 소자(X_H)와 제3스위칭 소자(Y_L) 사이에 다이오드(D_X)를 연결시키고, 제1스위칭 소자(X_L) 및 제4스위칭 소자(Y_H)의 양 끝 단자에 각각 접지선 및 서스테인 공급



전원을 연결시키고, 제1,2스위칭 소자(X_L, X_H)가 접속된 노드에 제2인덕터(L_2)를 연결시키고, 제3,4스위칭 소자(Y_L, Y_H)가 접속된 노드에 제1인덕터(L_1) 및 상기 디스플레이 패널의 X전극을 연결시키고, 상기 제2,3커패시터(C_{X2}, C_{Y1})의 접속 노드와 상기 다이오드(D_X)와 제3스위칭 소자(Y_L)의 접속 노드를 연결시켜 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형이 독립적으로 생성되도록 전류 도통 경로를 형성시키는 제3스위칭 블록 및 제3,4스위칭 소자(Y_L, Y_H)가 접속된 노드와 상기 분리 및 리세트 회로 사이에 연결된 입력 커패시터(C_{STG})를 포함한다.

<39> 7. 본 발명에 적용되는 분리 회로는 세부적으로 서스테인 구동 회로와 스캔 펄스 발생회로 사이에 다이오드(D_Y) 및 스위칭 소자(Y_p)로 연결되어, 리세트 구간 동안에 소정의 리세트 스위칭 시퀀스에 따라서 서스테인 구동 회로에 포함된 전력 회수 회로와 차단시키도록 구성된다.

<40> 그리고, 리세트 회로는 세부적으로 스캔 펄스 발생회로와 분리 회로가 접속된 노드와 접지 사이에 스위칭 소자(Y_{fr})가 연결되고, 상기 스캔 펄스 발생회로와 상기 분리 회로가 접속된 노드와 제1리세트 전원 사이에 직렬로 다이오드(D_5)와 스위칭 소자(Y_{rr})가 연결되고, 상기 디스플레이 패널의 X전극과 제2리세트 전원 사이에 스위칭 소자(X_e)가 연결되어, 디스플레이 패널 구동 스위칭 시퀀스에 따라서 X전극 및 Y전극의 리세트 전압 파형을 독립적으로 생성시킨다.

<41> 도 2는 전체 가스 방전 구간, 즉 ADS 구동 방식에 있어서 각 전극에 필요한 전압 파형을 나타낸다. 서스테인 방전 기간 동안에 필요한 전극 전압은 연속된 구형파이므로 분리 회로, 리세트 회로 및 스캔 펄스 발생 회로를 생략한 등가회로로 모드별 동작을 설명하기로 한다.



- <42> 회로 동작을 분석하기 위하여 다음과 같이 가정한다.
- <43> 1. 서스테인 방전 기간 전에 커패시터 C_{STG} 에는 $+V_S$ 의 전압이 미리 충전되어 있다고 가정한다. 초기에 커패시터 C_{STG} 에 $+V_S$ 의 전압으로 충전시키는 방법으로는 별도의 충전 회로(도면에 미도시)를 이용하는 방법이 있다. 또한, 별도의 충전 회로를 이용하지 않는 경우에도 서스테인 방전 기간에 듀티 50%인 $+2V_S$ 의 구형파 전압이 커패시터 C_{STG} 에 인가됨으로 인하여 몇 프레임 경과 후에는 자연스럽게 C_{STG} 에는 $+V_S$ 의 전압이 충전되게 된다.
- <44> 2. 모든 전력용 MOSFET 스위치는 스위칭 손실이 0(Zero)으로 이상적인 스위칭 소자라 본다.
- <45> 3. 커패시터 C_{X1} , C_{X2} , C_{Y1} , C_{Y2} 의 커패시턴스 값은 모두 같다.
- <46> 4. 커패시터 C_{X1} , C_{X2} , C_{Y1} , C_{Y2} 및 커패시터 C_{STG} 값은 패널 커패시터 C_P 에 비하여 매우 크다.
- <47> 5. 커패시터 C_{X1} , C_{X2} , C_{Y1} , C_{Y2} 에 걸리는 전압은 $+V_S/2$ 의 동일한 값이다.
- <48> 위와 같은 가정을 적용하여 AC-PDP 서스테인 방전 기간의 스위칭 시퀀스에 따라 다음과 같이 8개의 모드로 세분화할 수 있다. 그러면, 도 4(a)~(k)에 도시된 모드별 스위칭 시퀀스에 따라서 설명하기로 한다.
- <49> (1) 모드 1($t_0 \leq t < t_1$; pre-charging 모드)
- <50> t_0 전에 스위치 Y_L 과 X_L 은 도통되어 패널 커패시터 C_P 양단에 걸리는 전압은 0V를 유지한다. 스위치 Y_H 와 X_H 의 드레인-소오스 전압은 $+V_S$ 로 동일하다.
- <51> $t=t_0$ 에서 스위치 Y_L 은 차단되고 Y_R 은 도통된다. 이에 따라서, 모드 1에서 커패시터 C_{X1} , C_{X2} 및 C_{Y1} 에 저장된 에너지는 도 5a에 도시된 바와 같이 C_{Y1} - Y_R - L_1 - D_1 - C_{STG} - C_P - X_L 의 경로를 통

해 공진되어 패널 커패시터 C_p 로 이동된다. 인덕터 전류 i_{L1} 과 패널 전압 v_p 는 수학적 식 1과 같이 얻을 수 있다.

<52>
$$\text{【수학적 식 1】 } i_{L1}(t) = \frac{V_S}{2\sqrt{L_1/C_P}} \sin\omega(t-t_0)$$

<53>
$$v_P(t) = \frac{V_S}{2} (1 - \cos\omega(t-t_0))$$

<54> 여기서, $\omega = 1/\sqrt{L_1 C_P}$ 이다.

<55> 패널 전압 v_p 와 스위치 Y_H 의 드레인-소오스 전압은 0V에서 $+V_S$ 까지 증가하고, $Z_r = \sqrt{L_1/C_P}$ 라고 하면 패널 전류의 피크치 $I_{P,PK}$ 는 $+V_S/(2Z_r)$ 로 제한된다.

<56> 모드 1은 $t=t_1$ 에서 $i_{L1}=0$ 이 되면 끝난다. 모드 1의 기간을 T_{rY} 라고 하면 수학적 식 2와 같다.

<57>
$$\text{【수학적 식 2】 } T_{rY} = \frac{\pi}{\omega} = \pi\sqrt{L_1 C_P}$$

<58> (2) 모드 2($t_1 \leq t < t_2$; gas-discharging 모드)

<59> $t=t_1$ 에서 스위치 Y_r , Y_L 은 도통되고, Y_H 은 도통된다. Y_L 과 X_H 에 걸리는 전압은 $+V_S$ 로 제한된다. 모드 2에서는 도 5b에 도시된 바와 같이, v_p 가 $+V_S$ 로 유지되고 가스 방전 전류가 패널을 통해 흐르게 된다. 모드 2의 기간은 임의로 정할 수 있는데, 실제의 AC-PDP에서는 매우 높은 주파수로 동작하므로 이 기간을 가능한 짧게 설계된다.

<60> (3) 모드 3($t_2 \leq t < t_3$; pre-discharging 모드)

<61> 모드 3은 $t=t_2$ 에서 스위치 Y_f 가 도통되면서 시작한다. 도 5c에 도시된 바와 같이, 패널 커패시터에 충전된 에너지는 X_L - C_p - C_{STG} - L_1 - D_2 - Y_f - C_{Y1} 의 경로를 통해 LC 공진되어 커패시터 C_{Y1} , C_{X2} , C_{X1} 로 이동된다. 모드 3에서는 전류 i_{L1} 과 전압 v_p 가 수학적 식 3과 같이 계산된다.

<62> **【수학적 식 3】**
$$i_{L1}(t) = -\frac{V_S}{2\sqrt{L_1/C_P}} \sin\omega(t-t_2)$$

<63>
$$v_P(t) = \frac{V_S}{2} (1 + \cos\omega(t-t_3))$$

<64> 패널 전압 v_p 는 $+V_S$ 에서 0으로 감소하고, 피크 패널 전류 $I_{P,PK}$ 는 $-V_S/(2Z_r)$ 로 제한된다. 모드 3에서 스위치 Y_H 의 드레인-소오스 단자에 걸리는 전압은 0에서 $+V_S$ 로 증가한다. 모드 3은 $t=t_3$ 에서 i_{L1} 이 0이 되면 끝난다. 모드 3의 기간 T_{rY} 는 모드 1의 기간과 동일하다.

<65> (4) 모드 4($t_3 \leq t < t_4$; idling 모드)

<66> $t=t_3$ 에서 스위치 Y_L 은 영전압 스위칭 되면서 도통되므로 Y_L 의 도통 시에 스위칭 전력 손실은 이론상 0이다. 도 5d에 도시된 바와 같이, 모드4에서 v_p 는 0으로 유지된다. 모드 4는 $t=t_4$ 에서 스위치 X_L 이 차단되고, X_r 이 도통되면 끝난다.

<67> (5) 모드 5($t_4 \leq t < t_5$; pre-charging 모드)

<68> 도 5e에 도시된 바와 같이, 모드 5에서 커패시터 C_{X1} 에 저장된 에너지는 C_{X1} - X_r - D_3 - L_2 - C_p - C_{STG} - Y_L - C_{X2} 의 경로를 통해 공진되어 패널 커패시터 C_p 로 이동된다. 인덕터 전류 i_{L2} 와 패널 전압 v_p 는 수학적 식 4와 같이 얻을 수 있다.

<69> **【수학적 식 4】**
$$i_{L2}(t) = \frac{V_S}{2\sqrt{L_2/C_P}} \sin\omega(t-t_4)$$



<70>

$$v_P(t) = -\frac{V_S}{2} (1 - \cos \omega(t-t_4))$$

<71>

모드 5에서는 v_P 가 0에서 $-V_S$ 로 저감되고, X_L 양단 전압은 0에서 $+V_S$ 로 증가한다. 패널 전류의 피크치 $I_{P,PK}$ 는 $V_S/(2Z_r)$ 로 제한된다. 모드 5는 $t=t_5$ 에서 $i_{L2}=0$ 이 될 때 끝난다. 모드 5의 기간 T_{rX} 는 수학적 식 5와 같다.

<72>

【수학적 식 5】 $T_{rX} = T_{rY} = \frac{\pi}{\omega} = \pi \sqrt{L_1 C_P}$

<73>

(6) 모드 6 ($t_5 \leq t < t_6$; gas-discharging 모드)

<74>

$t=t_5$ 에서 스위치 Y_L 와 X_H 는 도통된다. Y_H 와 X_L 에 걸리는 전압은 $+V_S$ 로 제한된다. 도 5f에 도시된 바와 같이, 모드 6에서는 패널 전압 v_P 는 $-V_S$ 로 유지된다.

<75>

(7) 모드 7 ($t_6 \leq t < t_7$; post-discharging 모드)

<76>

모드 7은 $t=t_6$ 에서 스위치 Y_L 이 도통된 상태에서 X_f 가 도통되면서 시작한다. 도 5g에 도시된 바와 같이, 패널 커패시터 C_P 에 충전되어 있는 에너지는 $C_{X2}-Y_L-C_{STG}-C_P-L_2-D_4-X_f-C_{X1}$ 의 경로를 통해 공진되어 커패시터 C_{X1} 에 완전히 회수된다. 전류 i_{L2} 와 전압 v_P 는 수학적 식 6과 같이 표현된다.

<77>

【수학적 식 6】 $i_{L2}(t) = -\frac{V_S}{2\sqrt{L_2/C_P}} \sin \omega(t-t_6)$

<78>

$$v_P(t) = -\frac{V_S}{2} (1 + \cos \omega(t-t_6))$$

<79>

v_P 는 $-V_S$ 에서 0으로 증가되고, 패널 전류의 피크치 $I_{P,PK}$ 는 $V_S/(2Z_r)$ 로 제한된다. 모드 7은 $t=t_7$ 에서 $i_{L1}=0$ 이 되면서 끝나고, 모드 7의 기간 T_{f1} 은 T_{t2} 와 같다.

<80>

(8) 모드 8 ($t_7 \leq t < t_8$; ground 모드)

- <81> 도 5h에 도시된 바와 같이, $t=t_7$ 에서 스위치 X_L 은 영전압 스위칭 되면서 도통되고, 모드 8 구간동안 v_p 는 0을 유지한다.
- <82> 도 6은 리세트 기간 및 어드레스 방전 기간에서의 회로 해석을 편리하게 하기 위하여 도 3의 회로에서 전력 회수에 관계되는 부분을 제거한 회로 구성을 보여준다.
- <83> 도 6의 경로 1)은 서스테인 방전 기간동안에 패널 커패시터의 Y 전극을 충전하는 전류 흐름을 보여주고, 스캔 드라이버 IC의 하측에 있는 FET의 바디 다이오드를 도통하므로 기존의 회로와 비교해서 스캔 드라이버 IC에 걸리는 전압 스트레스는 동일하다.
- <84> 경로 2)는 패널의 Y전극을 방전시키는 전류 흐름으로 스캔 드라이버 IC의 상측에 있는 FET의 바디 다이오드를 도통하므로 기존의 회로와 비교해서 스캔 드라이버 IC에 걸리는 전압 스트레스는 동일하다.
- <85> 다음으로, 리세트 기간에 대하여 설명하기로 한다.
- <86> (1) X-rising 리세트 모드
- <87> 도 7a에 도시된 바와 같이, 스위치 Y_L 을 도통하여 Y전극을 GND 레벨로 한 다음, 스위치 X_e 의 게이트에 밀러 효과(Miller Effect)를 이용한 단순한 적분기로 V_e 전압까지 상승하는 전압을 인가한다. X 전극측 전압은 선형적으로 상승하고 X-rising 리세트 모드는 완료된다.
- <88> (2) Y-rising 리세트 모드
- <89> 도 7b에 도시된 바와 같이, Y_H-X_L 의 도통에 의하여 Y전극에 $+V_S$ 전압이 가해진 다음 Y_{rr} 을 제어하여 라이징 램프 전압을 인가한다. 밀러 효과를 이용한 선형 램프 전압을 가해서 V_{SET} 전압까지 선형적으로 상승하는 전압을 얻는다.
- <90> (3) X-erase 리세트 모드

- <91> 도 7c에 도시된 바와 같이, X_e 를 도통시키면 V_e 전압이 X전극에 가해져서 X-erase가 가능하게 된다. 그러나, 이 때 $V_e > V_S$ 이므로 스위치 X_H 의 바디 다이오드를 통한 과전류가 흐르게 되므로 다이오드 D_X 를 사용하여 과도한 전류 흐름을 막는다.
- <92> (4) Y-falling 리세트 모드
- <93> 스위치 Y_H 와 Y_P 를 도통시킨다. 패널 전압은 스캔 드라이버 IC의 상측 FET 측 바디 다이오드를 통해서 Y_P 를 거쳐 $+V_S$ 전압으로 클램프된다. 그 다음 Y_H , Y_P 를 차단시킨 후에 Y_L 과 Y_{SC} 를 도통시키고, Y_{fr} 을 도통시켜 선형적으로 GND 레벨까지 하강시킨다.
- <94> 마지막으로, 어드레스 방전 기간에 대하여 설명하기로 한다.
- <95> 도 8에 도시된 바와 같이, Y전극 측이 GND 레벨로 하강할 때 C_{SC} 에는 V_{SC} 의 전압이 충전되고, 이 전압을 이용해서 스캔 드라이버 IC를 구동시킨다. Y_{SP} 를 도통시켜 스캔 드라이버 IC에 V_{SC} 가 인가하게 되면, 각 라인별 기입 방전이 일어난다. 이 때 Y_L 이 도통되어 Y전극은 기본적으로 GND 레벨로 고정된다. 그리고, X전극 측은 X_e 가 도통되어 V_e 가 인가된 상태를 유지한다.
- <96> 이와 같이, 도 3에 도시된 바와 같은 단일 사이드의 패널 구동 장치로 패널 구동 스위칭 시퀀스에 따라서 서스테인 방전 기간, 어드레스 방전 기간 및 리세트 기간에서 패널의 X전극 및 Y전극에서 필요로 하는 전압을 독립적으로 생성시킬 수 있게 되었다.
- <97> 본 발명은 방법, 장치, 시스템 등으로서 실행될 수 있다. 소프트웨어로 실행될 때, 본 발명의 구성 수단들은 필연적으로 필요한 작업을 실행하는 코드 세그먼트들이다. 프로그램 또는 코드 세그먼트들은 프로세서 판독 가능 매체에 저장되어 질 수 있으며 또는 전송 매체 또는 통신망에서 반송파와 결합된 컴퓨터 데이터 신호에 의하여 전송될 수 있다. 프로세서 판독 가

능 매체는 정보를 저장 또는 전송할 수 있는 어떠한 매체도 포함한다. 프로세서 판독 가능 매체의 예로는 전자 회로, 반도체 메모리 소자, ROM, 플래쉬 메모리, E²PROM, 플로피 디스크, 광 디스크, 하드 디스크, 광 섬유 매체, 무선 주파수(RF) 망, 등이 있다. 컴퓨터 데이터 신호는 전자 망 채널, 광 섬유, 공기, 전자계, RF 망, 등과 같은 전송 매체 위로 전파될 수 있는 어떠한 신호도 포함된다.

<98> 첨부된 도면에 도시되어 설명된 특정의 실시 예들은 단지 본 발명의 예로서 이해되어 지고, 본 발명의 범위를 한정하는 것이 아니며, 본 발명이 속하는 기술 분야에서 본 발명에 기술된 기술적 사상의 범위에서도 다양한 다른 변경이 발생될 수 있으므로, 본 발명은 보여지거나 기술된 특정의 구성 및 배열로 제한되지 않는 것은 자명하다.

【발명의 효과】

<99> 상술한 바와 같이, 본 발명에 의하면 디스플레이 패널 구동 시스템에서 단일 사이드의 패널 구동 회로에 의하여 패널의 X전극 및 Y전극에서 필요로 하는 전압 파형을 각각 독립적으로 생성시킴으로써, 패널 구동 회로의 부품수를 줄여 회로 구성을 단순화시킬 수 있는 효과가 발생되며, 또한 회로 구성의 단순화로 인하여 신뢰성이 향상되고 전력 효율이 높아지는 효과가 발생된다.

【특허청구범위】**【청구항 1】**

디스플레이 패널 구동 장치에 있어서,

화상을 표현하는 디스플레이 패널; 및

에너지 축적 소자 및 스위칭 소자를 포함하는 소정의 수동 회로 소자들로 구성되어, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형을 생성시키기 위한 전류 도통 경로를 형성시키는 단일 사이드의 구동 회로를 포함함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 2】

제1항에 있어서, 상기 단일 사이드의 구동 회로는 서스테인 방전 구간에서 상기 디스플레이 패널의 X전극 및 Y전극 양단 간에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압들이 반복적으로 인가되도록 회로를 설계함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 3】

제1항에 있어서, 상기 단일 사이드의 구동 회로에 공급되는 전원은 서스테인 방전 구간의 가스 방전 모드 동안에 상기 디스플레이 패널에 인가되는 전압의 2배로 설정함을 특징으로 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 4】

제1항에 있어서, 상기 단일 사이드의 구동 회로는



리세트 구간 동안 전력 회수 경로와 차단시키면서 상기 디스플레이 패널에 벽전하 소거를 위한 X전극 및 Y전극 각각의 리세트 램프 전압 파형들을 생성시키기 위한 전류 도통 경로를 형성시키는 분리 및 리세트 회로;

어드레스 구간 동안에 상기 디스플레이 패널에 벽전하를 형성시키기 위한 X전극 및 Y전극의 전압 파형들을 생성시키기 위한 전류 도통 경로를 형성시키는 스캔 펄스 발생회로; 및

서스테인 방전 구간 동안에 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스플레이 패널을 충/방전시키기 위한 충/방전 경로를 형성시키고, 리세트 구간 및 어드레스 방전 구간 동안에 상기 리세트 회로 및 상기 스캔 펄스 발생 회로와 결합되어 리세트 전압 파형 및 어드레스 방전 전압 파형이 생성되도록 소정의 전류 도통 경로를 형성시키는 서스테인 구동 회로를 포함함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 5】

제4항에 있어서, 상기 서스테인 구동 회로는 상기 충/방전 경로에 상기 디스플레이 패널의 커패시턴스보다 큰 용량을 갖는 입력 커패시터를 포함함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 6】

제5항에 있어서, 상기 입력 커패시터는 서스테인 구간 실행 전에 서스테인 방전 구간의 가스 방전 모드 동안에 상기 디스플레이 패널에 인가되는 전압으로 충전되도록 설계함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 7】

제4항에 있어서, 상기 서스테인 구동 회로는 상기 충/방전 경로에 상기 디스플레이 패널로부터 방전되는 에너지를 LC 공진 회로에 의하여 회수하고, LC 공진 회로에 의하여 회수된 에너지를 상기 디스플레이 패널로 되돌려 보내기 위한 에너지 회수 회로를 더 포함함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 8】

제4항에 있어서, 상기 서스테인 구동 회로는 커패시터 클램프형 멀티 레벨 컨버팅 회로 구조로 설계됨을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 9】

제8항에 있어서, 상기 커패시터 클램프형 멀티 레벨 컨버팅 회로 구조는 복수개의 커패시터를 직렬로 접속시키고, 상기 직렬 접속된 양 끝의 커패시터 단자에 접지선 및 서스테인 구동 회로의 공급 전원을 연결시키고, 상기 복수의 커패시터들의 접속 노드에 스위칭 회로 소자들이 연결되어, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 전류 도통 경로를 변경시켜 서스테인 방전 구간동안에 상기 디스플레이 패널에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압들을 반복적으로 인가되도록 설계함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 10】

제4항에 있어서, 상기 서스테인 구동 회로는

제 1,2,3,4커패시터($C_{X1}, C_{X2}, C_{Y1}, C_{Y2}$)를 순차적으로 직렬로 접속시키고, 제1커패시터(C_{X1}) 및 제4커패시터(C_{Y2})의 양 끝 단자에 각각 접지선 및 서스테인 공급 전원이 인가되는 에너지 축적 소자 블록;

상기 에너지 축적 소자 블록과 결합되어, 상기 디스플레이 패널의 X전극 및 Y전극 방전에서 방전되는 에너지를 축적시키는 제1,2인덕터(L_1, L_2);

상기 제1,2커패시터(C_{X1}, C_{X2})가 접속된 노드와 제2인덕터(L_2) 사이에 연결되어, 상기 디스플레이 패널의 X전극 충/방전 모드에서 제2인덕터(L_2)를 경유하는 LC공진 경로가 형성되도록 전류의 흐름을 스위칭하는 복수의 스위칭 소자(X_r, X_f) 및 복수의 다이오드(D_3, D_4)로 구성된 제1스위칭 블록;

상기 제3,4커패시터(C_{Y1}, C_{Y2})가 접속된 노드와 제1인덕터(L_1) 사이에 연결되어, 상기 디스플레이 패널의 Y전극 충/방전 모드에서 제1인덕터(L_1)를 경유하는 LC공진 경로가 형성되도록 전류의 흐름을 스위칭하는 복수의 스위칭 소자(Y_r, Y_f) 및 복수의 다이오드(D_1, D_2)로 구성된 제2스위칭 블록;

제 1,2스위칭 소자(X_L, X_H) 및 제3,4스위칭 소자(Y_L, Y_H)를 각각 순차적으로 직렬로 접속시키고, 상기 제2스위칭 소자(X_H)와 제3스위칭 소자(Y_L) 사이에 다이오드(D_X)를 연결시키고, 제1스위칭 소자(X_L) 및 제4스위칭 소자(Y_H)의 양 끝 단자에 각각 접지선 및 서스테인 공급 전원을 연결시키고, 제1,2스위칭 소자(X_L, X_H)가 접속된 노드에 제2인덕터(L_2)를 연결시키고, 제 3,4스위칭 소자(Y_L, Y_H)가 접속된 노드에 제1인덕터(L_1) 및 상기 디스플레이 패널의 X전극을 연결시키고, 상기 제2,3커패시터(C_{X2}, C_{Y1})의 접속 노드와 상기 다이오드(D_X)와 제3스위칭 소자(Y_L)의 접속 노드를 연결시켜 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 상기 디스

플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형이 독립적으로 생성되도록 전류 도통 경로를 형성시키는 제3스위칭 블록; 및

제3,4스위칭 소자(Y_L, Y_H)가 접속된 노드와 상기 분리 및 리세트 회로 사이에 연결된 입력 커패시터(C_{STG})를 포함함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 11】

제4항에 있어서, 상기 분리 및 리세트 회로는

상기 서스테인 구동 회로와 상기 스캔 펄스 발생회로 사이에 다이오드(D_Y) 및 스위칭 소자(Y_p)로 연결되어, 리세트 구간 동안에 소정의 리세트 스위칭 시퀀스에 따라서 상기 서스테인 구동 회로에 포함된 전력 회수 회로와 차단시키기 위한 분리 회로; 및

상기 스캔 펄스 발생회로와 상기 분리 회로가 접속된 노드와 접지 사이에 스위칭 소자(Y_{fr})가 연결되고, 상기 스캔 펄스 발생회로와 상기 분리 회로가 접속된 노드와 제1리세트 전원 사이에 직렬로 다이오드(D_5)와 스위칭 소자(Y_{rr})가 연결되고, 상기 디스플레이 패널의 X전극과 제2리세트 전원 사이에 스위칭 소자(X_e)가 연결되어, 디스플레이 패널 구동 스위칭 시퀀스에 따라서 X전극 및 Y전극의 리세트 전압 파형을 독립적으로 생성시키기 위한 리세트 회로를 포함함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치.

【청구항 12】

디스플레이 패널 구동 장치 설계 방법에 있어서,

에너지 축적 소자 및 스위칭 소자를 포함하는 소정의 수동 회로 소자들로 단일 사이드의 구동 회로를 구성하여, 소정의 디스플레이 패널 구동 스위칭 시퀀스에

따라서 상기 디스플레이 패널의 X전극 및 Y 전극 각각에서 필요로 하는 소정의 구동 전압 파형을 독립적으로 생성시키기 위한 전류 도통 경로를 형성시키도록 상기 소정의 수동 회로 소자들을 배치함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 설계 방법.

【청구항 13】

제12항에 있어서, 상기 디스플레이 패널 구동 스위칭 시퀀스의 서스테인 방전 구간 동안에 상기 디스플레이 패널에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압이 인가되도록 상기 소정의 수동 회로 소자들을 배치함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 설계 방법.

【청구항 14】

제12항에 있어서, 상기 단일 사이드의 구동 회로에 공급되는 전원은 서스테인 구간의 가스 방전 모드 동안에 상기 디스플레이 패널에 인가되는 전압의 2배로 설정함을 특징으로 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 설계 방법.

【청구항 15】

제12항에 있어서, 상기 단일 사이드의 구동 회로는 커패시터 클램프형 멀티 레벨 컨버팅 회로 구조로 설계함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 설계 방법.

【청구항 16】

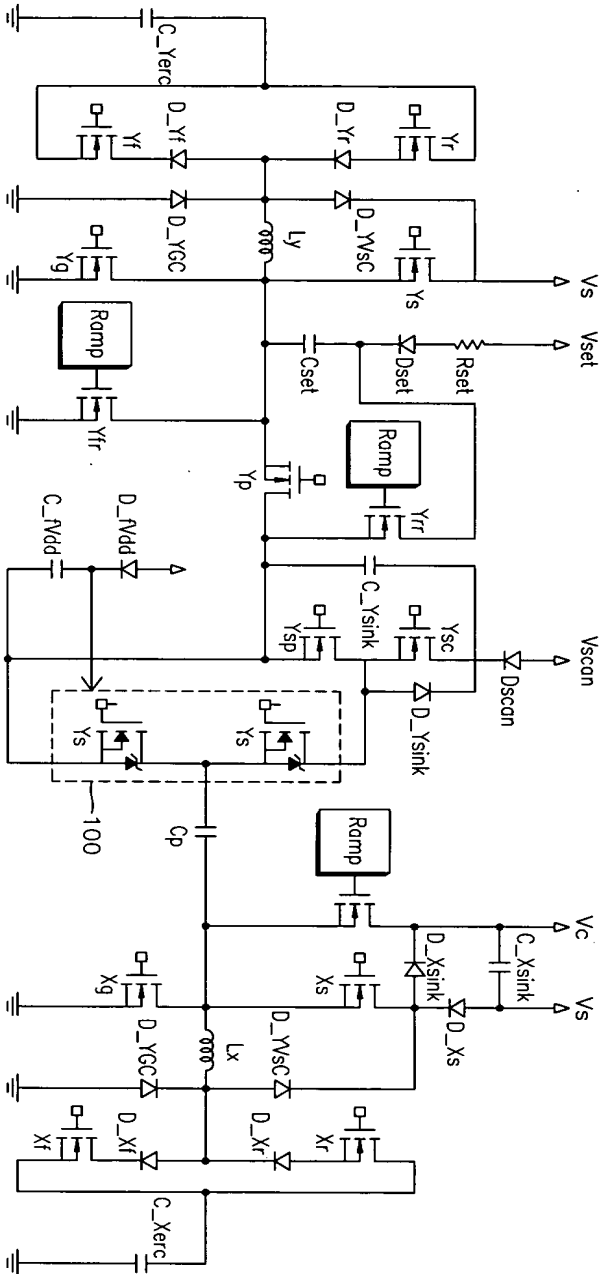
제15항에 있어서, 상기 커패시터 클램프형 멀티 레벨 컨버팅 회로 구조는 복수개의 커패시터를 직렬로 접속시키고, 상기 직렬 접속된 양 끝의 커패시터 단자에 접지선 및 서스테인 구동 회로의 공급 전원을 연결시키고, 상기 복수의 커패시터들의 접속 노드에 스위칭 회로 소자



들을 연결하여, 소정의 디스플레이 패널 구동 스위칭 시퀀스에 따라서 전류 도통 경로를 변경시켜 서스테인 방전 구간동안에 상기 디스플레이 패널에 0V 포함하여 0V를 기준으로 대칭되는 +/- 멀티 레벨 전압들을 반복적으로 인가되도록 설계함을 특징으로 하는 디스플레이 패널 구동 시스템의 단일 사이드 구동 장치 설계 방법.

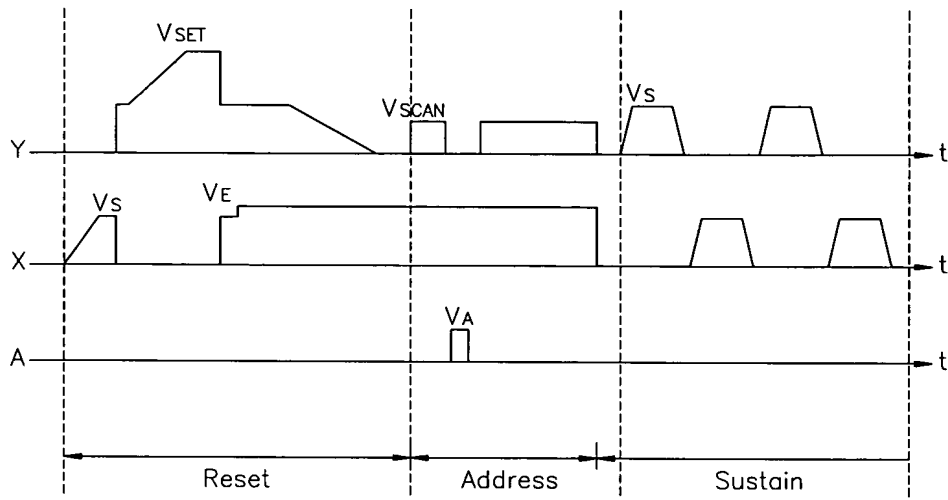
【도면】

【도 1】

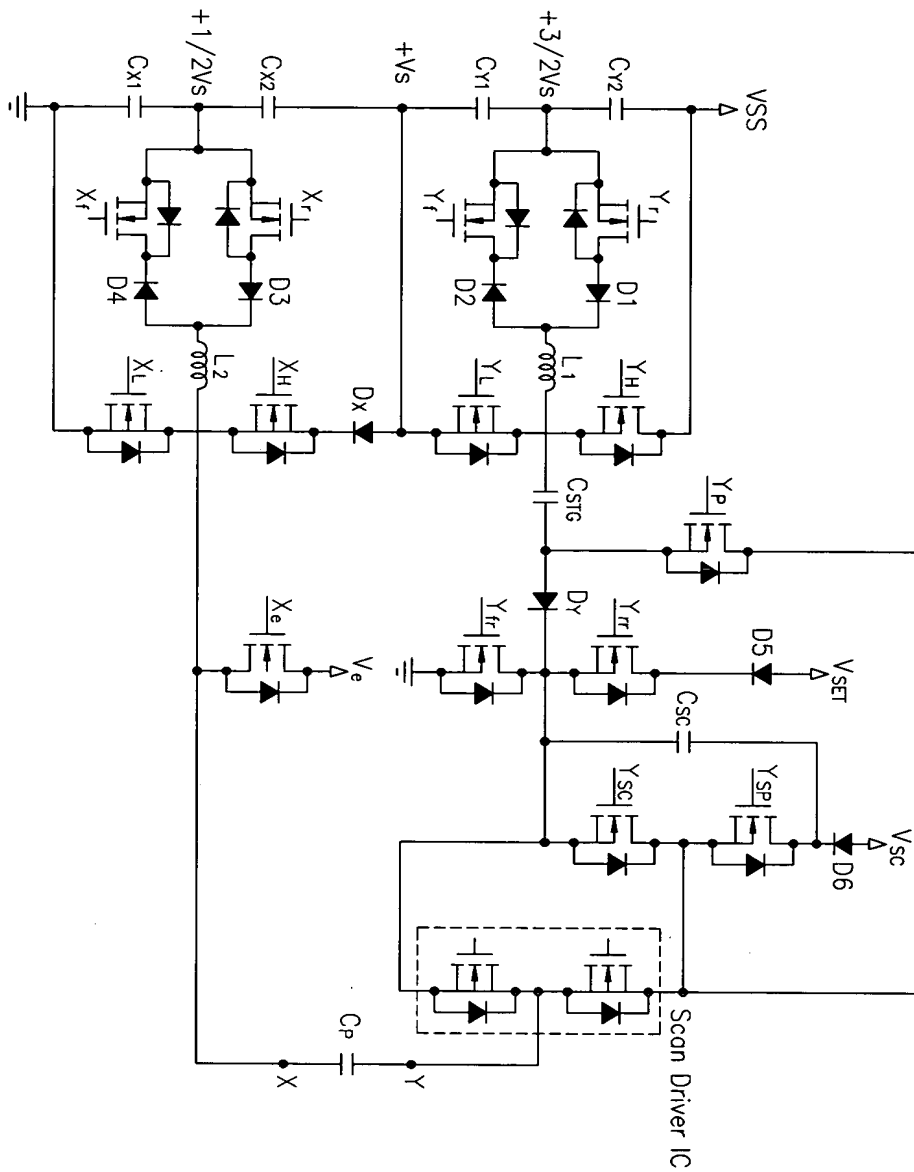




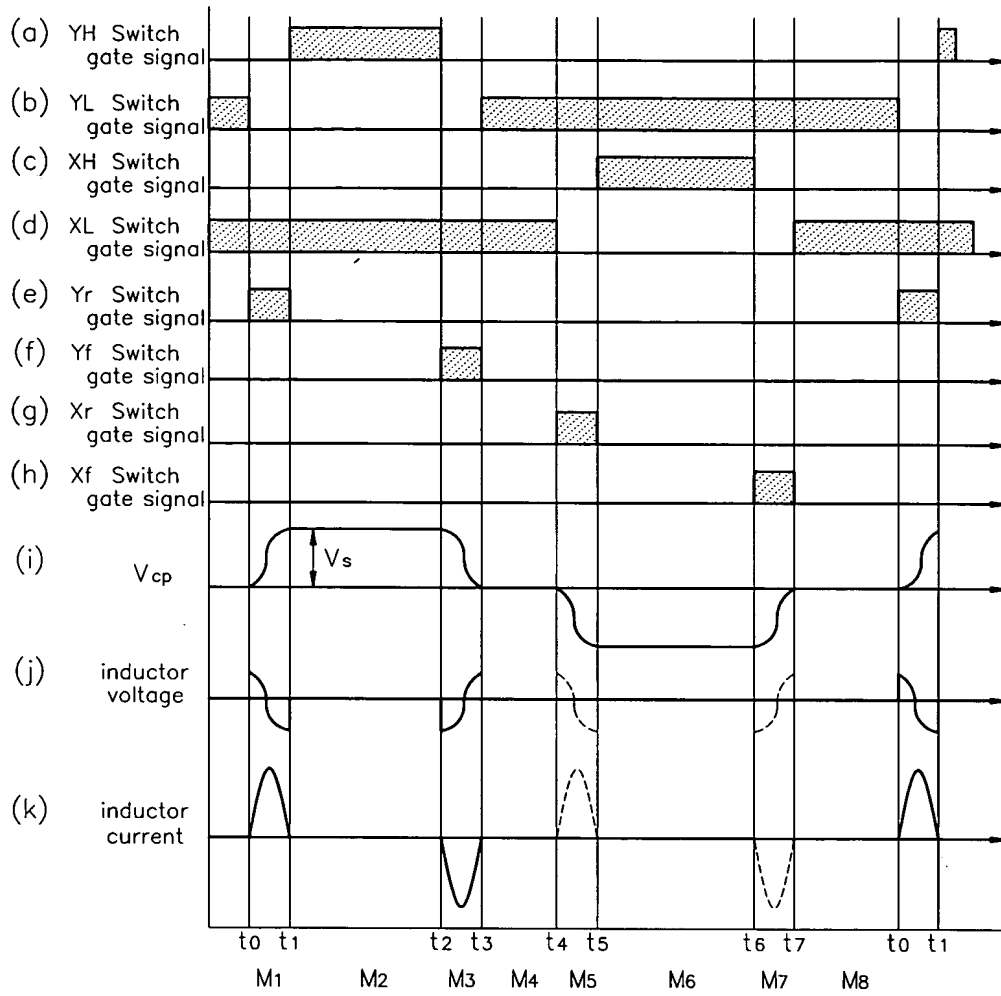
【도 2】



【도 3】

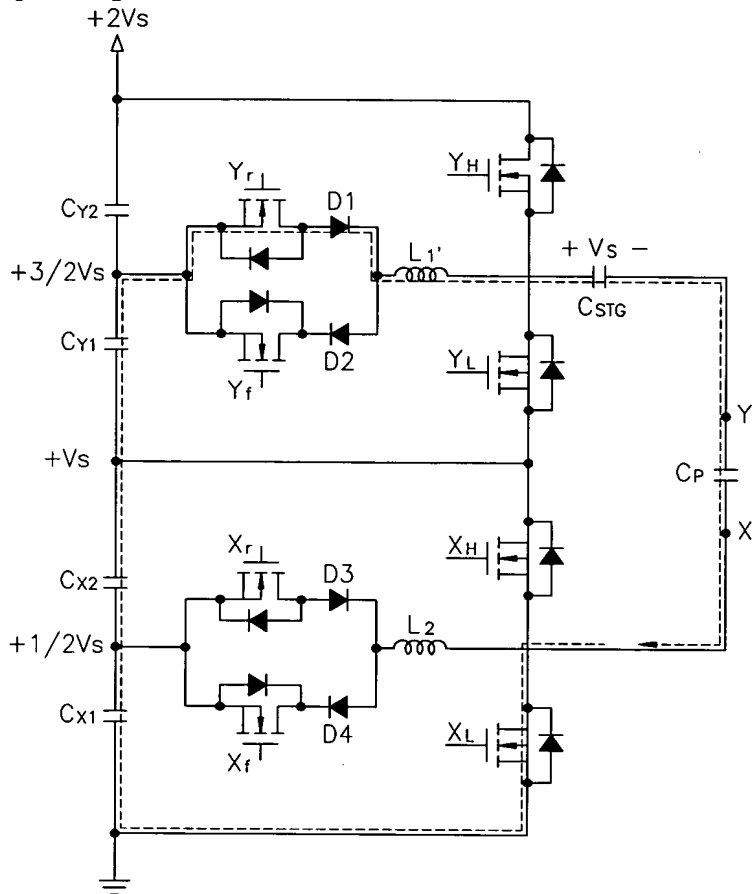


【도 4】

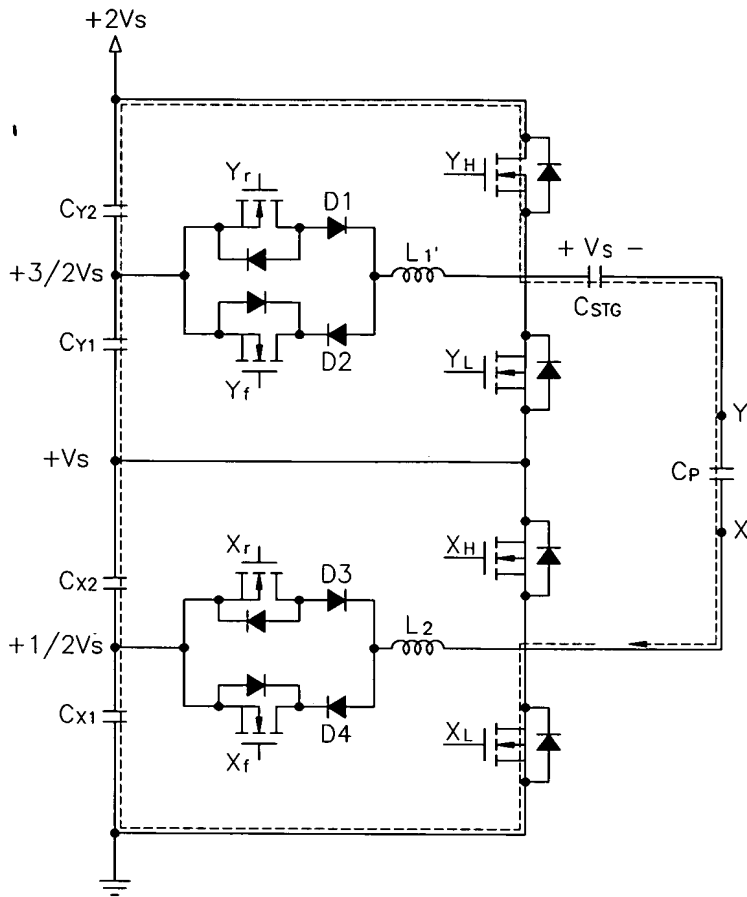




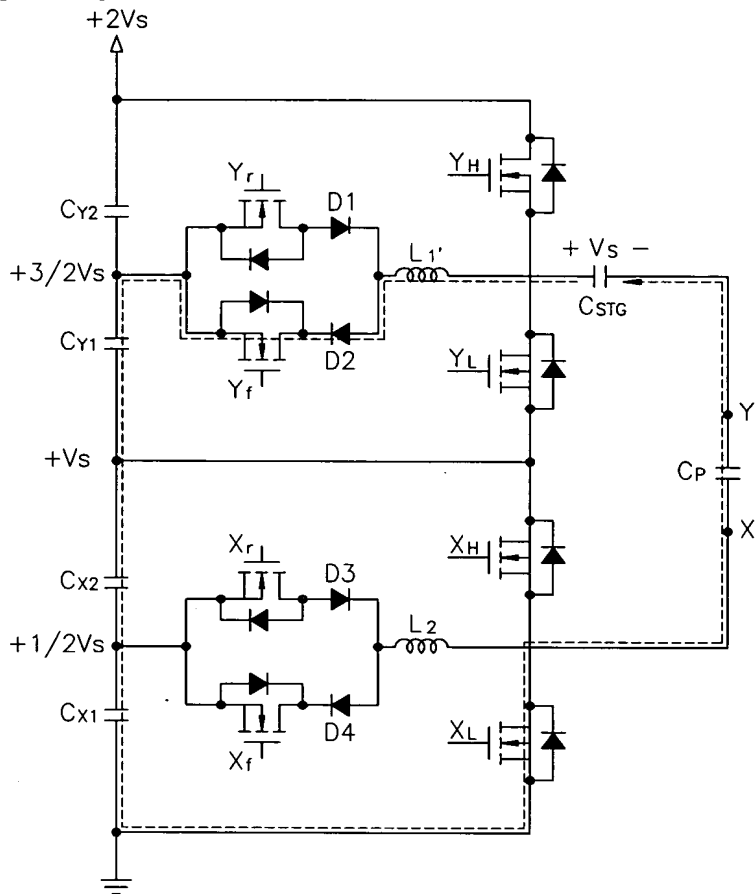
【도 5a】



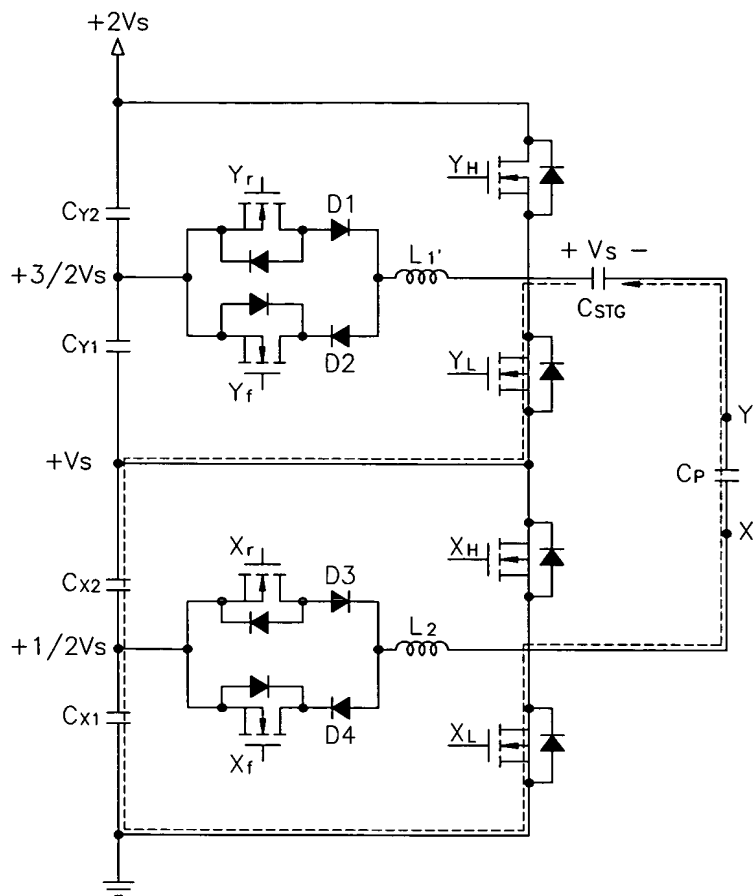
【도 5b】



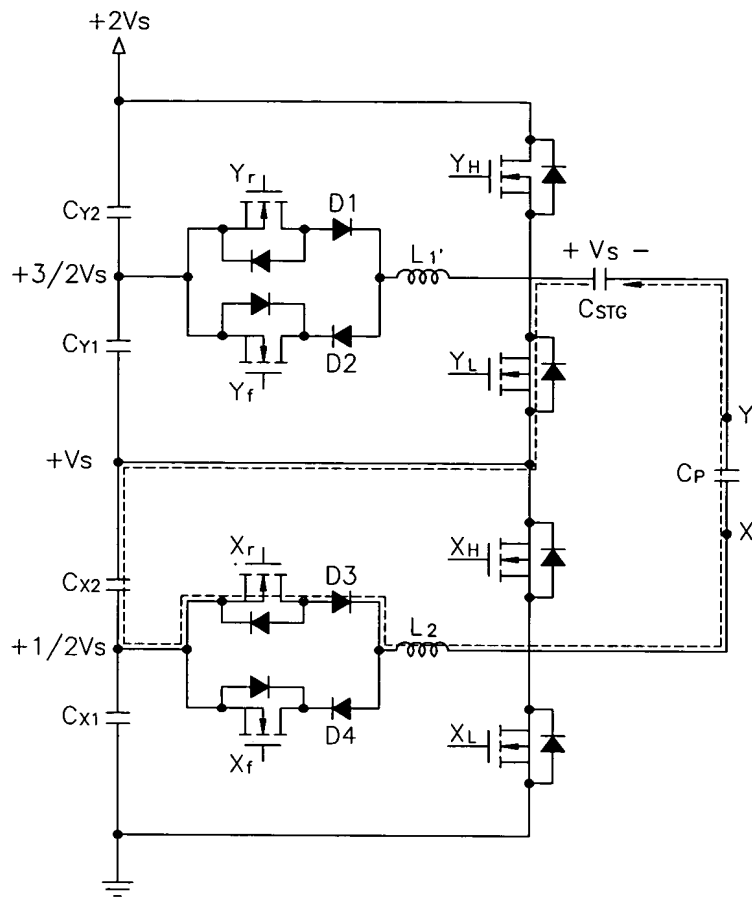
【도 5c】



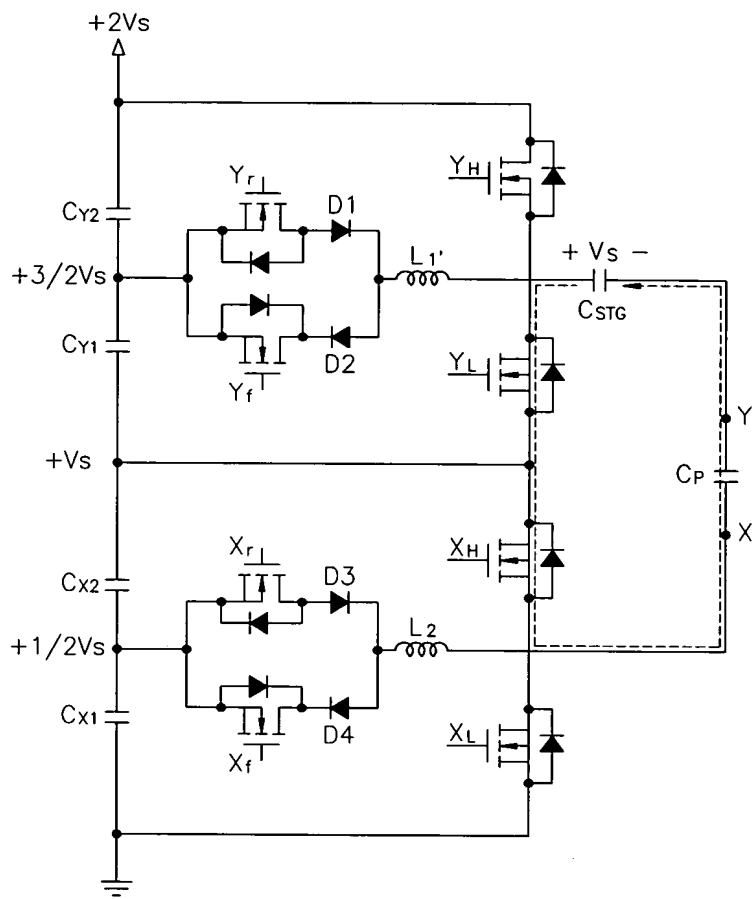
【도 5d】



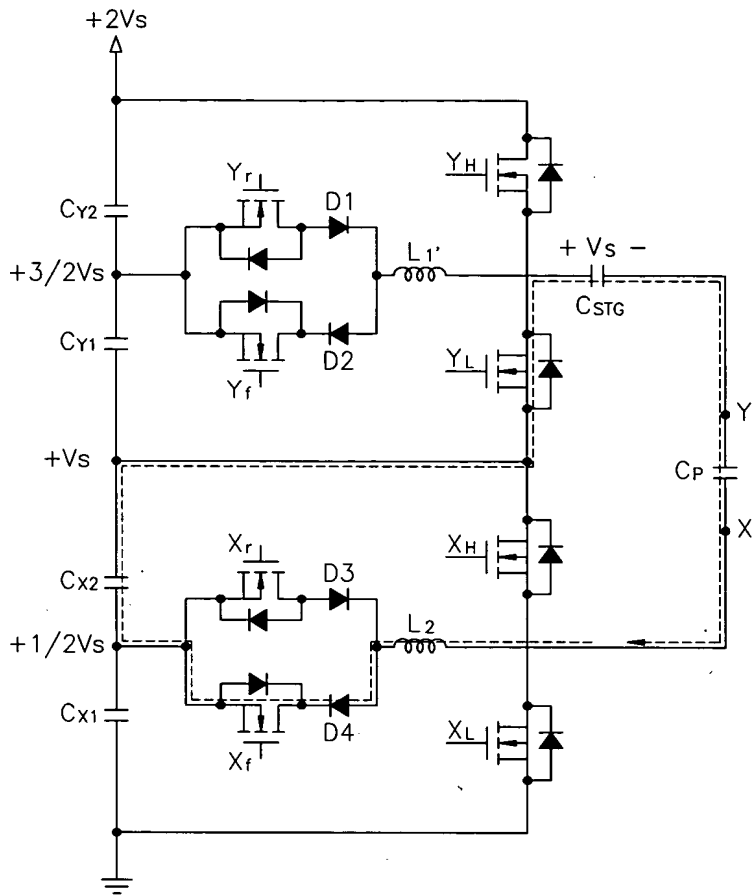
【도 5e】



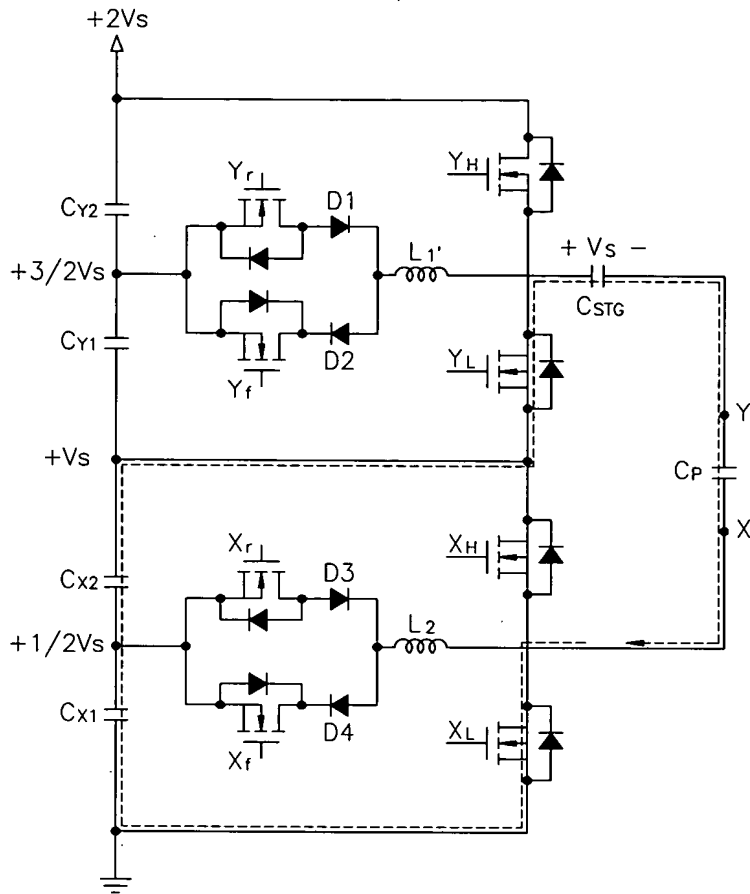
【도 5f】



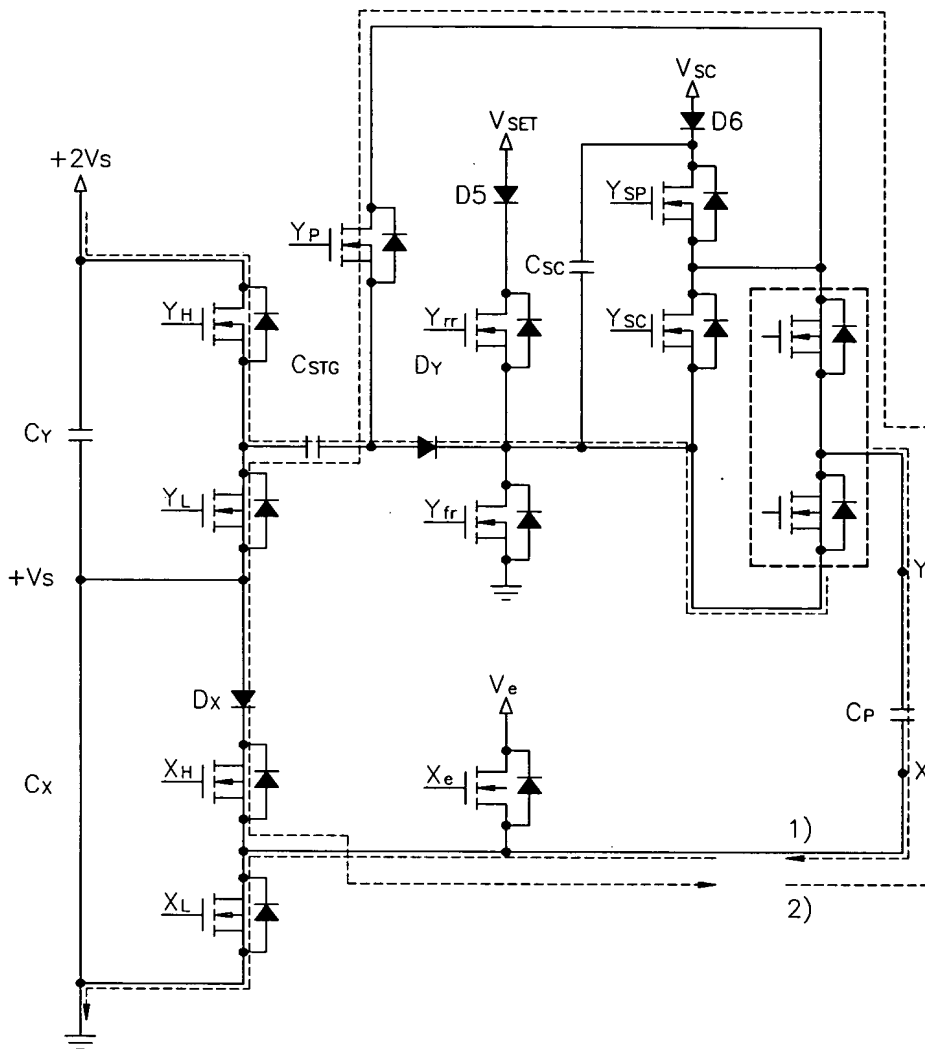
【도 5g】



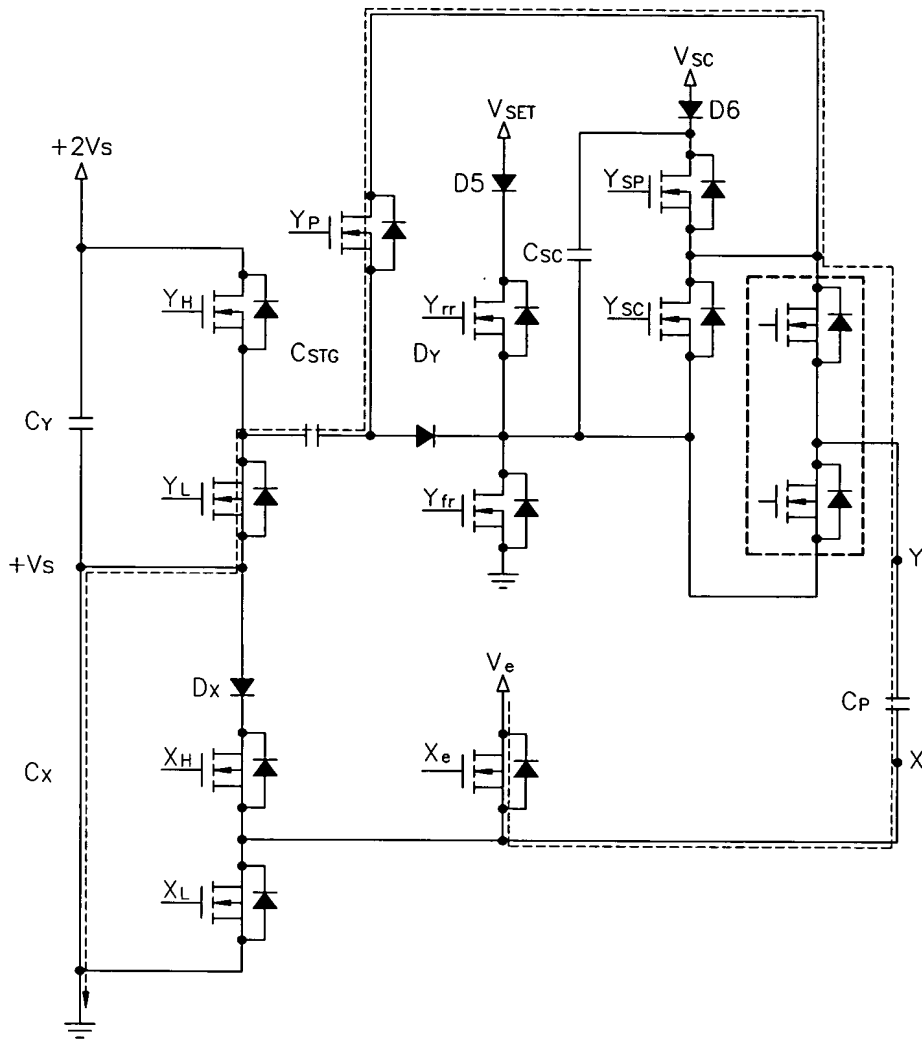
【도 5h】



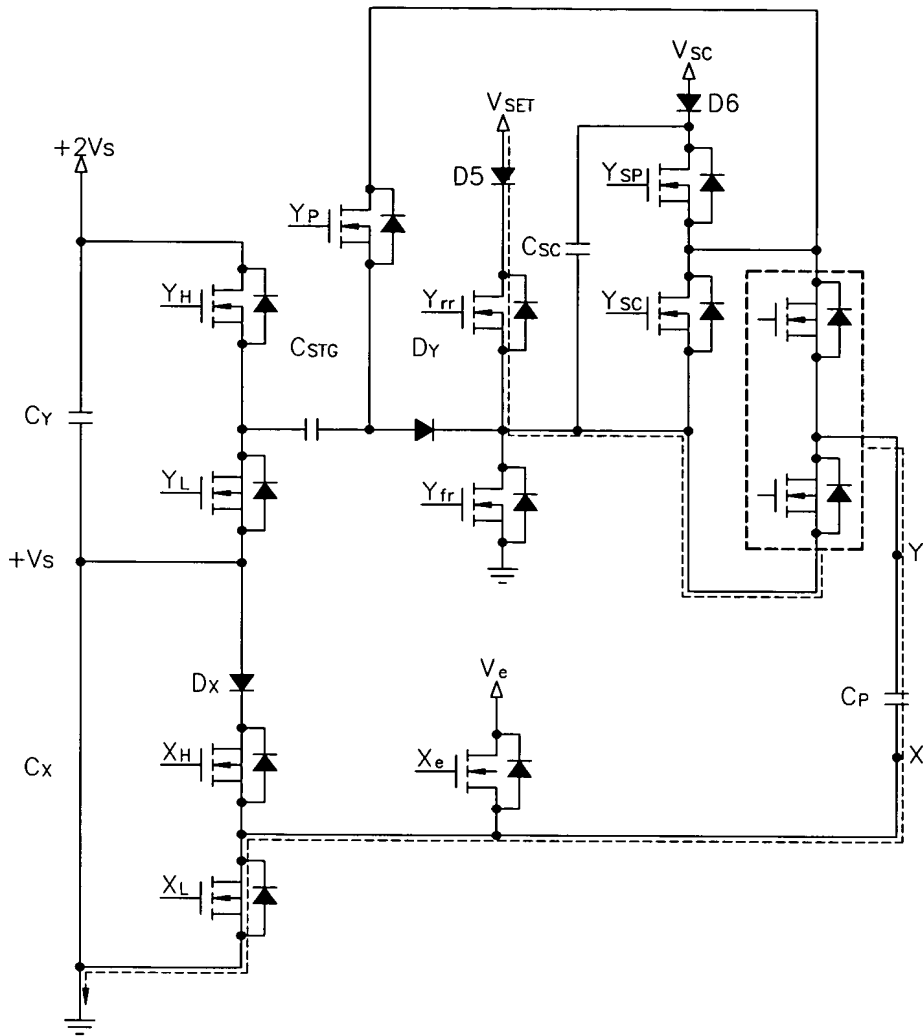
【도 6】



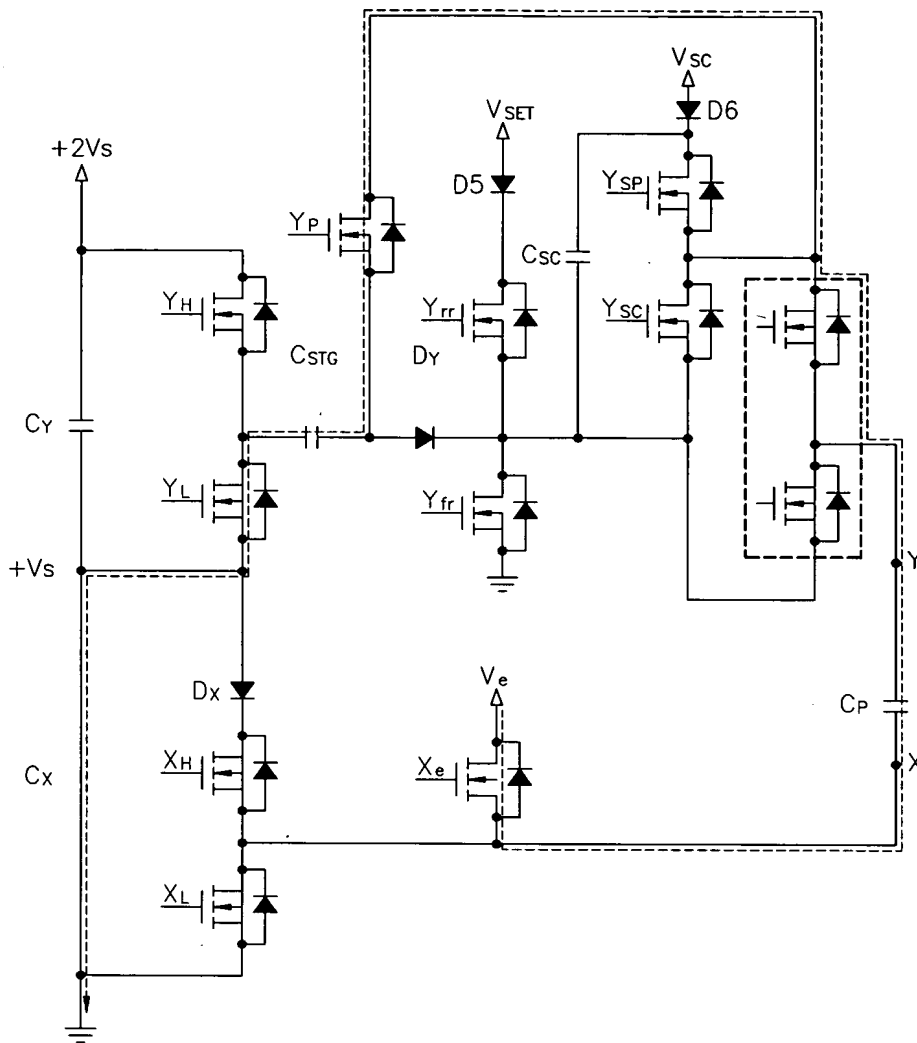
【도 7a】



【도 7b】

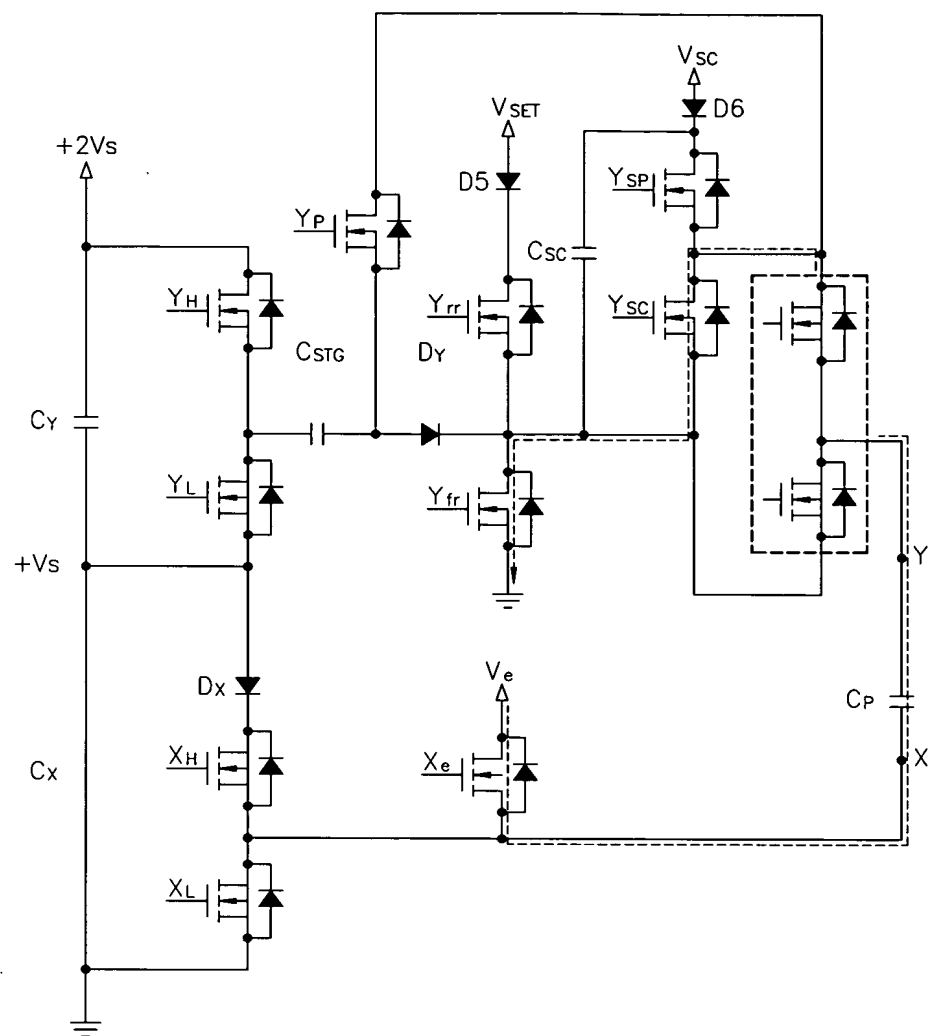


【도 7c】





【도 7d】



【도 8】

